



DEUTSCHES  
PATENTAMT

21 Aktenzeichen: P 33 28 342.7  
22 Anmeldetag: 5. 8. 83  
43 Offenlegungstag: 3. 1. 85

DE 3328342 A1

30 Innere Priorität: 32 33 31

01.07.83 DE 33236801

71 Anmelder:

Robert Bosch GmbH, 7000 Stuttgart, DE

72 Erfinder:

Hartmann, Horst-Joachim, Dipl.-Phys., 7000  
Stuttgart, DE; Leibfried, Wolfgang, Dipl.-Phys. Dr.,  
7250 Leonberg, DE; Nitsch, Manfred, 7141  
Schwieberdingen, DE; Schulz, Horst, 1000 Berlin,  
DE; Steinle, Klaus, 7031 Sindelfingen, DE;  
Weidinger, Anton, 7251 Heimsheim, DE

54 Verfahren zum Einlöten von Chipbauelementen auf Leiterplatten

Es wird ein Verfahren angegeben, das zum Einlöten von Chipbauelementen auf Leiterplatten dient. Zu diesem Zweck wird zunächst auf die mit Leiterbahnmetallisierung belegte Leiterplatte eine galvanische Lotschicht von ca. 10...100 µm Dicke aufgebracht, die gleichzeitig als Maske beim Ausätzen des Leiterbahnbildes und als Lotquelle dient. Nach Beschichten der Leiterplatten, insbesondere der Kontaktflächen der Leiterbahnen für die Chipbauelemente mit einer dickflüssigen Kolophoniumlösung werden diese auf die Kontaktflächen aufgesetzt und durch Reflowlötten kontaktiert. Bei diesem Verfahren ist es auch möglich, gleichzeitig Chipbauelemente und Drahtbauelemente zu verwenden, wobei für die Drahtbauelemente durchkontaktierte Löcher vorzusehen sind. Es ist ferner möglich, eine doppelseitige Chipbestückung der Leiterplatten vorzunehmen, indem zuerst die eine Seite und dann die andere mit Chipbauelementen bestückt wird, wobei der Kolophoniumfilm bis zum Reflowlötten als Kleber und beim Reflowlötten als Flußmittel wirkt.

DE 3328342 A1

R. 18775 i.P.  
3.8.1983 Pf/Jä

3328342

ROBERT BOSCH GMBH, 7000 Stuttgart 1

#### Ansprüche

1. Verfahren zum Einlöten von Chipbauelementen auf Leiterplatten, bei dem zunächst eine Lotschicht auf die mit einer Leiterbahnmetallisierung, wie Kupfer, belegte Leiterplatte aufgebracht wird und die Chipbauelemente durch Reflowlöten kontaktiert werden, dadurch gekennzeichnet, daß die Lotschicht galvanisch aufgebracht wird, daß anschließend die Leiterplatten, insbesondere die Kontaktflächen der Leiterbahnen für die Chipbauelemente mit einer Kolophoniumlösung beschichtet, die Chipbauelemente auf diese Kontaktflächen aufgesetzt und schließlich durch Reflowlöten kontaktiert werden.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß das Reflowlöten in einer sauerstofffreien Atmosphäre vorgenommen wird.
3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß bei gleichzeitiger Verwendung von Chipbauelementen und Drahtbauelementen für die Chipbauelemente ebene Kontaktflächen, für die Drahtbauelemente dagegen durchkontaktierte Löcher vorgesehen werden, daß auf der Leiterbahnmetallisierung galvanisch eine Lotschicht abgeschieden wird, daß nach Beschichten von Kontaktflächen und Löchern mit Kolophoniumlösung die Chipbauelemente auf die Kontaktflächen

...

aufgesetzt und die Drahtbauelemente in die Löcher eingesteckt und die Bauelemente schließlich durch Reflowlötten kontaktiert werden.

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, daß zum vollständigen Schließen der Löcher der Drahtbauelemente bzw. zum satteren Füllen der Lötfolgen an speziellen Chipbauelementen beim Reflowlötten zusätzlich noch eine selektive Lotverstärkung mit der Lotpaste, mit Lotformteilen oder durch galvanische Abscheidung an den Löchern und/oder den ebenen Kontaktflächen und/oder den Bauelementeanschlüssen durchgeführt wird.

5. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß bei doppelseitiger Chipbestückung der Leiterplatten die galvanische Lotschicht beidseitig aufgebracht wird, daß dann zunächst auf der Unterseite die Leiterplatten, insbesondere die Kontaktflächen der Leiterbahnen für die Chipbauelemente mit Kolophoniumlösung beschichtet und anschließend die Chipbauelemente auf die Kontaktflächen der Leiterbahnen für die Chipbauelemente aufgesetzt und bei ca. 100 °C angetrocknet werden und daß nach dem Trocknen des Kolophoniumfilms die Oberseiten der Leiterplatten durch Beschichten mit Kolophoniumlösung und Aufsetzen der Chipbauelemente und Antrocknen bei ca. 100 °C in der gleichen Weise bestückt werden und schließlich die Chipbauelemente beider Seiten in einem Reflowlöt-Prozeß kontaktiert werden.

6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die galvanische Lotschicht in einer Dicke von ca. 10 ... 100 µm aufgebracht wird.

R. 18775 i.P.  
3.8.1983 Pf/Jä

ROBERT BOSCH GMBH, 7000 Stuttgart 1

### Verfahren zum Einlöten von Chipbauelementen auf Leiterplatten

#### Stand der Technik

Die Erfindung geht aus von einem Verfahren nach der Gattung des Hauptanspruchs. Es ist bekannt, die für eine Schaltung notwendigen Chipbauelemente zunächst auf die Lötseite der Leiterplatte zu kleben, den Kleber dann aushärten zu lassen und danach die Chipbauelemente durch Schwall-, Schlepp- oder Tauchlöten zu kontaktieren. Dieses Verfahren hat jedoch den Nachteil, daß bereits bei einer nur einseitigen Bestückung zwei Prozeßschritte, nämlich das Kleben mit Aushärten sowie das Löten, notwendig sind und daß sich bei den drei genannten Lötverfahren mit entsprechend ausgestatteten Lötbadern bzw. Lötanlagen Abstände zwischen den Leiterbahnenbereichen von nur 0,3 ... 0,4 mm erreichen lassen, was die Packungsdichte der Schaltung begrenzt. - Es ist weiter bekannt, auf die Kontaktflächen der Leiterbahnen für die Chipbauelemente Lotpaste durch Siebdrucken aufzubringen, was vorzugsweise in der Dickschichttechnik zum Bau von Hybridschaltungen benutzt wird. Die Chipbauelemente werden auf die gedruckten pastösen Lotpolster, die eine breiartige Mischung aus Lotmetallpulver, Lösungs- und Flußmittel darstellt, aufgesetzt, durch den breiartigen Zustand fixiert und durch anschließendes Reflowlöten eingelötet.

...

Dieses Verfahren hat den Nachteil, daß ein zusätzlicher Siebdruckprozeß mit der Lotpaste erforderlich ist. Bei zweiseitiger Bestückung der Platten wird dieser Weg sehr kompliziert. Ferner dürfen die Lotpolster nicht zu dünn sein und verlangen daher beim Drucken das Verwenden engmaschiger Siebe, wodurch die Verwirklichung feiner Kontaktflächenstrukturen schwierig wird. Schließlich kommt es beim Aufschmelzen der Lotpolster leicht zum Spratzen, wobei auf der Schaltung vagabundierende Lotkugeln entstehen, die zur Ausbildung von elektrischen Neben- oder Kurzschlüssen führen können. - Schließlich ist es bekannt, die Kontaktflächen der Leiterbahnen für die Chipbauelemente auf den Schaltplatinen (wie konventionelle Leiterplatten, Dickschicht- oder Dünnschichtschaltungen) zunächst in einer ersten Stufe durch Schwall-, Schlepp- oder Tauchlöten mit Lotpolstern zu belegen, danach die Chipbauelemente mit ihren Kontaktflächen auf die Leiterbahndbereiche aufzusetzen und mittels dickflüssiger Kolophonumlösung zu fixieren und dann mit einer anschließenden zweiten Wärmebehandlung, z. B. in einem Durchlaufofen, als zweite Stufe die Chipbauelemente in die Schaltungen einzulöten. Nachteilig an diesem Verfahren ist es, daß zwei Wärmeprozesse erforderlich sind, daß die aufgebrachten Lotpolster gekrümmte und ballige Oberflächen aufweisen, wodurch die Chipbauelemente beim Aufsetzen zum seitlichen Wegrutschen neigen, und daß die Dicke der Lotpolster und damit die Menge des beim Reflowlöten vorhandenen Lotes einer gewissen Streubreite unterliegt, die nur schwer in den Griff zu bekommen ist.

#### Vorteile der Erfindung

Das erfindungsgemäße Verfahren mit den kennzeichnenden Merkmalen des Hauptanspruchs hat demgegenüber den Vor-

...

05.08.83

3328342

- 3-5.

R. 18775 i.P.

teil, daß es die Herstellung gedruckter Schaltungen in Chipbauweise wesentlich vereinfacht und daß es eine stärkere Miniaturisierung möglich macht, weil mit diesem Verfahren Abstände der Kontaktflächen der Leiterbahnen für die Chipbauelemente und der Leiterbahnen selbst bis hinab zu 0,1 ... 0,2 mm ohne Schwierigkeiten realisiert werden können, ohne daß Löt Schwierigkeiten auftreten. Dies führt naturgemäß zu einer großen Packungsdichte der Bauteile. Breite und schmale sowie hohe und niedrige Bauteile können dicht benachbart mit nur engen Zwischenräumen platziert werden, weil das benötigte Lot als galvanische Schicht auf den Kontaktflächen der Leiterbahnen für die Chipbauelemente auf der Leiterplatte schon vorhanden ist und nicht wie bei den herkömmlichen Lötverfahren über die freien Zwischenräume als flüssige Schmelze zugeführt werden muß, was bei sehr engen Zwischenräumen wegen der lotabstoßenden Wirkung infolge Nichtbenetzung der isolierenden Bauteiloberflächen nicht mehr gelingt oder bei etwas weiteren Abständen leicht zur Brückenbildung führt. Beim Einsatz von offenen Bauteilen wie z. B. Potentiometern oder Trimm-Kondensatoren ist das Verfahren ebenso vorteilhaft, weil bei den herkömmlichen Lötverfahren ohne besondere Schutzmaßnahmen leicht die Gefahr besteht, daß diese Teile beschädigt oder elektrisch kurzgeschlossen und damit unbrauchbar werden.

Durch die in den Unteransprüchen aufgeführten Maßnahmen sind vorteilhafte Weiterbildungen und Verbesserungen des im Hauptanspruch angegebenen Verfahrens möglich. Besonders vorteilhaft ist es, daß das Verfahren auch für die kombinierte Bestückung von Leiterplatten mit Chipbauelementen und Drahtbauelementen nebeneinander verwendet werden kann, indem für die Drahtbauelemente durchkontaktierte Löcher

...

vorgesehen werden und nach dem Aufbringen der galvanischen Lotschicht und dem Bestücken der Leiterplatte beide Typen von Bauelementen gleichzeitig durch Reflowlöten kontaktiert werden können. Dies ist besonders solange vorteilhaft, wie bestimmte Bauelemente-Typen noch nicht in der Chipform angeboten werden. Auch ist es vorteilhaft, daß das Verfahren in einfacher Weise ebenso zur doppelseitigen Bestückung von Leiterplatten mit Chip- und Drahtbauelementen herangezogen werden kann.

Die Abscheidung einer galvanischen Lotschicht ist beim üblichen Herstellungsgang von beidseitig beschichteten Leiterplatten mit durchkontaktierten Löchern nach dem semiadditiven bzw. additiven Verfahren an sich bekannt. Sie dient hier als Maske beim Ausätzen des Leiterbahnbildes (Strukturätzen der Leiterplatte) und ist etwa 7 - 15  $\mu\text{m}$  dick. Wird diese galvanische Lotschicht entsprechend dem erfindungsgemäßen Verfahren zusätzlich auch noch als Lotquelle zum Reflowlöten beim Einlöten der Bauelemente genutzt, so muß ihre Dicke auf ca. 10 ... 100  $\mu\text{m}$  verstärkt werden, um beide Funktionen - Ätzenschutz und Lotquelle - gleichzeitig erfüllen zu können.

#### Beschreibung der Ausführungsbeispiele

Zur Herstellung einer mit Bauelementen in Chipform bestückten Leiterplatte wird zunächst die Schaltung nach dem semiadditiven oder additiven Verfahren aufgebaut. Die so vorbereitete Leiterplatten-Schaltung wird dann in an sich bekannter Weise in einem galvanischen Bad mit einer Blei-Zinn-Schicht versehen, die eine Dicke von etwa 10 ... 100  $\mu\text{m}$  aufweist und gleichzeitig als Maske beim Ausätzen des Leiterbahnbildes und als Lotquelle dient. Nach dem Ausätzen des Leiterbahnbildes werden die Leiter-

...

platten, vorzugsweise aber die Kontaktflächen der Leiterbahnen für die Chipbauelemente ganzflächig mit einer dickflüssigen Kolophoniumlösung beschichtet, die gleichzeitig als Haftmittel zum Festhalten der Bauelemente nach dem Aufsetzen und später beim Einlöten als Flußmittel dient. Dann werden die Chipbauelemente auf die vorgesehenen Kontaktflächen der Leiterbahnen für die Chipbauelemente aufgesetzt, eventuell bei ca. 100 °C an Luft kurz angetrocknet und danach durch Reflowlöten, z. B. durch Einbringen in einen Durchlaufofen, bei einer Temperatur oberhalb des Schmelzpunktes der PbSn-Legierung mechanisch und elektrisch kontaktiert. - Die galvanische Lotschicht ergibt auf den Kontaktflächen der Leiterbahnen für die Chipbauelemente die zum Einlöten der Bauelemente erforderlichen Lotpolster. Durch die galvanische Abscheidung bleibt die Ebenheit weitgehend erhalten. Die Lotpolster sind an ihrer Oberseite ebenfalls glatt und eben, wodurch das Aufsetzen der planaren Chipbauelemente mit ihren ebenen Kontaktflächen erleichtert wird. - Zum Erreichen einer besonders guten Lötqualität ist es vorteilhaft, das Reflowlöten in einer sauerstofffreien Atmosphäre aus einem inerten oder aktivierten Schutzgas durchzuführen.

Nach der soeben beschriebenen Methode lassen sich auf einer Leiterplatte auch Chip- und Drahtbauelemente nebeneinander verwenden. Das kann z. B. notwendig sein, weil bestimmte Bauelemente-Typen noch nicht in Chipform angeboten werden. Die Leiterplatten werden dann mit ebenen Kontaktflächen der Leiterbahnen für die Chipbauelemente und durchkontaktierten Löchern in der notwendigen Stückzahl versehen. Bei dem danach erfolgenden galvanischen Lotauftrag, der wie oben beschrieben erfolgt, bleiben die durchkontaktierten Löcher geöffnet. Danach werden die Leiterplatten, vorzugsweise die Kontaktflächen der

...



Leiterbahnen für die Chipbauelemente und die durchkontaktierten Löcher ganzflächig mit Kolophoniumlösung beschichtet, die Chipbauelemente auf die ebenen Kontaktflächen der Leiterbahnen für die Chipbauelemente aufgesetzt und die Drahtbauelemente in die durchkontaktierten Löcher eingesteckt. Danach erfolgt das Reflowlöten, z. B. wieder in einem Durchlaufofen wie oben beschrieben. Um bei dieser Variante eine gute Lotfüllung in den Löchern zu erreichen, müssen die Geometrien aufeinander abgestimmt werden: Lochdurchmesser, Drahtdurchmesser, Plattendicke, Dicke der galvanischen Lotschicht sowie Lötangengröße müssen so gewählt werden, daß beim Reflowlöten das Loch mit der vorhandenen Lotmenge möglichst komplett gefüllt wird. Wenn das nicht gelingt, weil beispielsweise die Differenz zwischen Lochdurchmesser und Drahtdurchmesser zu groß ist, kann durch eine selektive Lotverstärkung, z. B. mit Lotpaste im Siebdruck, mit geeigneten Lotformteilen oder mit einer zusätzlichen galvanischen Abscheidung an den entsprechenden Löchern und/oder Drahtanschlüssen soviel Lot bereitgestellt werden, daß beim Reflowlöten eine vollständige Füllung ermöglicht wird. Da dies jedoch einen zusätzlichen Aufwand erfordert, ist es auf jeden Fall günstiger, auf die gegenseitige Abstimmung der Geometrien besondere Sorgfalt zu verwenden. Dies gilt sinngemäß auch für die geometrische Anpassung der Kontaktflächen der Leiterbahnen für die Chipbauelemente (Landplätze) an die Größe der Kontaktflächen der benutzten Chipbauelemente. Aber auch hier kann bei Bedarf mit einer selektiven Lotverstärkung wie zuvor beschrieben, eine bessere Lotfüllung erreicht werden.

Bei der doppelseitigen Chipbestückung der Leiterplatten mit anschließender Reflowlötung, was nach diesem Verfahren

...

ebenfalls ohne die Verwendung zusätzlichen Lots möglich ist, muß dafür gesorgt werden, daß die Chipbauelemente der Unterseite während der Bestückung der Oberseite nicht wieder abfallen. Hierzu reicht der oben beschriebene gleichzeitig als Haft- und Flußmittel benutzte dickflüssige Kolophoniumfilm aus, da die üblichen Chipbauelemente relativ klein und sehr leicht sind und nach dem Eintrocknen des Kolophoniums bei ca. 100 °C so fest haften, daß die zunächst einseitig bestückte Leiterplatte ohne weiteres umgedreht und dann auf der noch leeren Rückseite in der gleichen Weise bestückt werden kann. Danach wird wieder bei ca. 100 °C kurz getrocknet und das Kolophonium eingedickt und verfestigt. In diesem Zustand ist die bestückte Leiterplatte so stabil, daß sie bis zum Reflowlöten auch einige Zeit gelagert werden kann. Beim Reflowlöten werden dann die Chipbauelemente auf der Ober- und Unterseite gleichzeitig eingelötet.

Werden in Sonderfällen relativ große und schwere Bauelemente benutzt, bei denen die Haftung mit dem Kolophonium nicht ausreicht, so können diese in bekannter Weise beim Bestücken zunächst mit einem geeigneten Kleber auf die trockene und saubere Leiterplatte aufgebracht werden (die gleiche Technik wie beim eingangs erwähnten Schwallöten von Chipbauelementen). Nach dem Verfestigen (Aushärten) des Klebers kommt dann der Auftrag des dickflüssigen Kolophoniumfilms (auch über die zuvor aufgeklebten Bauelemente hinweg, er wird dort als Flußmittel benötigt) und das Bestücken mit den üblichen leichten Chipbauelementen in der zuvor beschriebenen Weise.

...

Der hier benutzte Begriff Leiterplatte ist im weitesten Sinne für alle Substrate zu verstehen, die einen Schichtaufbau und eine Strukturierung in der beschriebenen Weise ermöglichen und als Platinen für elektronische Schaltungen infrage kommen. Dazu gehören nicht nur die konventionellen kupferbeschichteten Platten aus Phenol- und Epoxid-Hartpapier sowie aus Epoxid-Glashartgewebe (wie z. B. FR2-, FR3- und FR4-Materialien), sondern beispielsweise auch Multilayer, flexible Schaltungen, Platten aus Keramik oder Glas sowie isolierte Metallkernplatten, die erst ganzflächig mit einer geeigneten Haft- und Leitschicht, dann mit einer Strukturmaske und anschließend nacheinander mit Kupfer und Lot beschichtet und danach strukturgeätzt werden. Anstelle von Kupfer kann auch ein anderes geeignetes Leitermetall, wie z. B. Nickel, verwendet werden. - Da der Substrate-Sektor zur Zeit in Bewegung ist, sind hier in den nächsten Jahren einige anwendungstechnische Neuerungen zu erwarten.

Die hier beschriebene galvanische Lotschicht besteht vorzugsweise aus Blei und Zinn, entsprechend dem derzeitigen galvanotechnischen Standard. Die Lotschicht kann als Legierung, aber auch als eine Kombination aus einer Legierungs- und einer Zinn- und/oder Bleischicht abgeschieden werden. Auch reine Zinn- oder Bleischichten allein sind möglich. In allen Fällen entstehen daraus Lotschichten, die im Sinne der beschriebenen Anmeldung zu benutzen sind.

Mit der Weiterentwicklung der Galvanotechnik ist zu erwarten, daß auch andere Metalle, wie z. B. Indium, Silber, Cadmium, Antimon und ähnliche in unterschiedlicher Menge in die Lotschicht mit eingebaut werden können und dadurch Lotschichten entstehen, die zum Reflowlöten von elektronischen Schaltungen noch besser geeignet sind

...

05-08-83

3328342

- 9/- 11.

18775<sub>i</sub>

und vorteilhafter benutzt werden können als das jetzt verfügbare PbSn-Lot. Auch diese erst später zu erwartenden Lotschichten sind im Sinne der Anmeldung zu benutzen und sollen in diese mit eingeschlossen werden.